

⑫ 公開特許公報(A)

昭63-246865

⑤ Int. Cl.⁴H 01 L 27/08
29/78

識別記号

3 2 1
3 0 1

庁内整理番号

E-7735-5F
L-8422-5F

④ 公開 昭和63年(1988)10月13日

審査請求 未請求 発明の数 2 (全9頁)

④ 発明の名称 CMOS半導体装置及びその製造方法

② 特 願 昭62-81780

② 出 願 昭62(1987)4月2日

⑦ 発 明 者 落 合 利 幸 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑦ 発 明 者 内 山 章 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑦ 発 明 者 岩 淵 俊 之 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑦ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑦ 代 理 人 弁理士 大 垣 孝

$$W_{NMOS} > W_{PMOS}$$

明 細 書

1. 発明の名称

CMOS半導体装置及びその製造方法

2. 特許請求の範囲

(1) NMOS半導体素子及びPMOS半導体素子を有し、かつ、夫々のゲート電極の側部にサイドウォールを具えるCMOS半導体装置において、

前記PMOS半導体素子のサイドウォールの幅を、前記NMOS半導体素子の幅よりも狭くして成ることを特徴とするCMOS半導体装置。

(2) NMOS半導体素子及びPMOS半導体素子を有し、かつ、夫々のゲート電極の側部にサイドウォールを具えるCMOS半導体装置を製造するに当り、

前記NMOS半導体素子及びPMOS半導体素子のゲート電極を覆うようにサイドウォール形成用の被着層を形成する工程と、

少なくとも前記PMOS半導体素子側の被着層部分に対し、等方性及び異方性を有する複合エッチング処理を行なって、サイドウォールを形成

する工程とを含む

ことを特徴とするCMOS半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、CMOS半導体装置及びその製造方法に関する。

(従来の技術)

例えばメモリ、マイクロプロセッサ及びその他のLSIを構成する電子デバイスでは、電子機器の小型化、高速化、低電力化といった種々の要求に応じて、VLSI(超高密度集積回路)を達成するための研究開発が進められている。


特に、低電力化及び高集積化を図ることが可能な相補形MOSを用いた電界効果トランジスタ(Complementary Metal Oxide Semiconductor Field Effect Transistor:CMOSFET)では、デバイスの微細化に伴なうゲート長の縮小による短チャネル効果、ホットキャリア効果への対策として、例えば、文献I:「超高速MOSデバイス」(超高速

デジタルデバイス・シリーズ2、菅野卓雄監修、香山晋編、培風館発行)及び文献II:「日経マイクロデバイス」(1985年7月号、p136~138)に開示されるようなLDD(Lightly Doped Drain)構造或いは埋込みチャネルLDD構造が適用されている。

以下、図面を参照して、このLDD構造を有するCMOSFETにつき説明する。

第2図(A)~(G)は、CMOSFETの一例として、電界強度を緩和するため、イオン注入法によりn型ウエルを形成したp型シリコン基板に、ソースドレイン拡散領域であるn⁺層を配設し、当該n⁺層の内側にn型不純物濃度の低いn⁻層を配設したLDD構造を有するNMOS半導体素子と、閾値電圧を合わせ込むため、チャネル表面にp型不純物よりなるp層を配設した埋込みチャネルLDD構造を有するPMOS半導体素子とが、各々1素子ずつ配設されて成る従来のCMOS半導体装置とその製造方法とを説明するための製造工程図である。尚、この図では、従来の

物をイオン注入して形成されるn⁻領域、29は例えば二酸化ケイ素(SiO₂)またはその他任意好適な絶縁材料を化学的気相成長(CVD)法によって被着させたサイドウォール形成用の被着層(以下、単に被着層29と称する場合もある。)、31a及び31bは、夫々、ゲート電極23a或いは23bの側部に形成されたサイドウォール、33はn⁺領域形成用レジストパターン、35はn型不純物をイオン注入して形成されるn⁺領域、37はp⁺領域形成用レジストパターン、39はp型不純物をイオン注入して形成されるp⁺領域、41はBPSG(Boro-Phospho Silicate Glass: ボロリンシリケートガラス)、PSG(Phospho Silicate Glass: リンシリケートガラス)またはその他任意好適な絶縁材料からなる中間絶縁層、43は半導体基板11表面に配設されたコンタクトホール、45は例えばアルミニウム-ケイ素(Al-Si)合金よりなるオーミックコンタクト電極、47はPMOS半導体素子、49はNMOS半導体素子、51はPMOS半導体素子47及びNMOS半導体素子49から構成されるCMOS


製造工程を半導体基板の概略的断面によって示し、断面を示すハッチングは省略する。また、以下の説明の理解を容易とするために、種々の構成成分を形成するためのレジストパターンについては、のように斜線を付して示すと共に、各製造工程における製造途中の半導体装置を半導体基板として包括的に表現するものとする。さらに、各工程図においては、その工程で特徴となる構成成分について符号を付して示し、その他の構成成分については符号を省略して示す場合もある。11はp型シリコンよりなる半導体基板、13はPMOS半導体素子を形成する領域(以下、PMOS形成領域と称する。)、15はn型不純物をドーピングして形成されるウエル、17はNMOS形成領域、19a及び19bはp型不純物から構成されるp層、21は二酸化ケイ素(SiO₂)から構成される酸化膜、23a及び23bは例えばリン(P)またはその他のn型不純物を添加したポリシリコン(poly-Si)によって構成されるゲート電極、25はn⁻領域形成用レジストパターン、27はn型不純

半導体装置である。さらに、矢印aはn⁻領域27を形成するためのn型不純物イオン、矢印bはn⁺領域35を形成するためのn型不純物イオン、矢印cはp⁺領域39を形成するためのp型不純物イオンを夫々示している。

まず始めに、半導体基板11上の全面に酸化膜を形成した後、従来周知の方法によりPMOS形成領域13に相当する部分の酸化膜を除去して窓開けを行ない、当該酸化膜をマスクに用いて、n型不純物を注入してウエル15を形成する。この後、選択酸化(Local Oxidation Of Silicon: LOCOS)法またはその他任意好適な方法によって酸化膜21を形成し、上述の半導体基板11の表面をPMOS形成領域13とNMOS形成領域17とに素子分離する。然る後、閾値制御のため、NMOS形成領域17と、上述のPMOS形成領域13との夫々にp型不純物を注入して、p層19a及び19bを形成する。

続いて、上述の工程を経た半導体基板11の上側全面に、例えばCVD法及びその他の任意好適な


方法によりpoly-Siを被着させ、従来周知のホトリソエッチング法により、PMOS形成領域13とNMOS形成領域17との夫々にゲート電極23a及び23bを形成して、第2図(A)に示す状態の半導体基板11を得る。この際に行なわれるエッチング方法としては、所謂、異方性のみを有する反応性エッチング(RIE)法が一般的である。

次に、第2図(B)に示すように、 n^- 領域形成用レジストパターン25を形成してNMOS形成領域17のみに窓開けを行なった後、同図において矢印aで示すように、 n 型不純物を当該NMOS形成領域17にイオン注入する。この際、上述の n^- 領域形成用レジストパターン25とゲート電極23bと酸化膜21の厚い部分とがマスクとなり、NMOS半導体素子のソース・ドレイン領域に相当する部分にのみイオン注入せしめられ、図示のような n^- 領域27(図中、で示す。)が形成される。

続いて、上述の n^- 領域形成用レジストパターン25を除去し、然る後、CVD法のような段差被覆

矢印bで示すような n 型不純物をイオン注入して n^+ 領域35を形成し、この後、 n^- 領域27と n^+ 領域35とを活性化する目的で、任意好適な温度でアニールを行なう。この工程によって、第2図(B)で説明した n^- 領域27のうち、上述のサイドウォール31bによってマスクされた部分を除く領域は比較的高濃度の n 型不純物を注入せしめられ、 n^+ 領域35を形成することとなる。

次に、第2図(F)に示すように、PMOS形成領域13のみに窓開けが行なわれるように p^+ 領域形成用レジストパターン37を形成する。然る後、当該 p^+ 領域形成用レジストパターン37とゲート電極23aとサイドウォール31aと酸化膜21の厚い部分とをマスクとして用い、矢印cで示すような p 型不純物をイオン注入して p^+ 領域39を形成する。

上述した p^+ 領域形成用レジストパターン37を除去し、 n^- 領域27、 n^+ 領域35及び p^+ 領域39が形成された半導体基板11上の全面に、前述の材料よりなる中間絶縁層41(図中、)を付して

性に優れた方法により、上述の半導体基板11上の全面に被着層29を堆積する(第2図(C))。

次に、被着層29が堆積された半導体基板11を例えば前述のRIE法により異方性エッチングしてゲート電極23a及び23bの側部にサイドウォール31aと31bとを同時に形成する(第2図(D))。この際に形成されるサイドウォールの幅は、第2図(A)を参照して説明した被着層29を堆積する工程において、当該被着層29の膜厚を調整することにより行なわれるのが一般的である。即ち、当該膜厚を厚くすれば幅の広いサイドウォールを形成することができ、当該膜厚を薄くすれば幅の狭いサイドウォールを形成することができる。

続いて、第2図(E)に示すように、再度、NMOS形成領域17のみに窓開けせしめられるように、 n^+ 領域形成用レジストパターン33を被着させる。然る後、当該 n^+ 領域形成用レジストパターン33とゲート電極23bとサイドウォール31bと酸化膜21の厚い部分とをマスクとして用い、

示す。)を被着させる。続いて、ホトリソエッチング技術により、各半導体素子のソース・ドレイン領域にコンタクトホール43を配設した後リフローを行ない、当該コンタクトホール43の形成によって生じた角を丸め、然る後、例えばAl-Si合金を被着させ、ホトリソエッチング技術によってオーミックコンタクト電極45をパターン形成する。

上述した種々の工程を経て、埋込みチャンネルLDD構造(前述の文献II参照)を有するPMOS半導体素子47と、LDD構造を有するNMOS半導体素子49とを具えたCMOS半導体装置51が完成する(第2図(G))。

上述したLDD構造を有するNMOS半導体素子49では、 n^- 領域27を形成することによって n^+ 領域35近傍に発生する強電界を緩和せしめ、ホットキャリアの発生を抑制し、NMOS半導体素子49の寄生容量を緩和することができる。

(発明が解決しようとする問題点)

しかしながら、上述した従来のCMOS半導体

装置の製造方法では、NMOS半導体素子及びPMOS半導体素子の夫々に配設されたサイドウォールが、ほぼ同じ幅（半導体基板表面と平行な方向の長さを表している。）を以って形成される。

これがため、前述した従来の製造方法により製造されたCMOS半導体装置においては、NMOS半導体素子或いはPMOS半導体素子のうちの一方のサイドウォールを設計に応じた幅とすれば、他方の半導体素子のサイドウォールの有する幅が一義的に決まってしまう。

従って、例えばNMOS半導体素子に適用されたLDD構造による効果を得るために好適なサイドウォールの幅を得る一方で、当該幅と同程度の幅を有するPMOS半導体素子側のサイドウォールは、当該幅が大きければ寄生抵抗を生ぜしめ、CMOS半導体装置に入力される電流の損失を招く。さらに、当該幅が小さければ寄生容量を生じ、CMOS半導体装置のスイッチング速度が低下するという問題点があった。

また、この出願の第2発明であるCMOS半導体装置の製造方法によれば、

NMOS半導体素子及びPMOS半導体素子を有し、かつ、夫々のゲート電極の側部にサイドウォールを具えるCMOS半導体装置を製造するに当り、

上述したNMOS半導体素子及びPMOS半導体素子のゲート電極を覆うようにサイドウォール形成用の被着層を形成する工程と、

少なくとも上述のPMOS半導体素子側の被着層部分に対し、等方性及び異方性を有する複合エッチング処理を行なって、サイドウォールを形成する工程と

を含むことを特徴としている。

（作用）

この出願の第1発明であるCMOS半導体装置の構成によれば、十分な幅を有するサイドウォールを具えたNMOS半導体素子と、当該NMOS半導体素子に比べて幅の狭いPMOS半導体素子とを具えている。これがため、NMOS半導体

この出願の第1発明であるCMOS半導体装置の目的は、上述した従来の問題点に鑑み、LDD構造を有するNMOS半導体素子と埋込みチャンネルLDD構造を有するPMOS半導体素子との電気的特性のバランスに秀でたCMOS半導体装置を提供することにある。

また、この出願の第2発明であるCMOS半導体装置の製造方法の目的は、上述の優れた特性を有するCMOS半導体装置を歩留り良く製造するための製造方法を提供することにある。

（問題点を解決するための手段）

この目的の達成を図るため、この出願の第1発明であるCMOS半導体装置によれば、

NMOS半導体素子及びPMOS半導体素子を有し、かつ、夫々のゲート電極の側部にサイドウォールを具えるCMOS半導体装置において、

上述したPMOS半導体素子に具えられたゲート電極が有するサイドウォールの幅を、上述のNMOS半導体素子に具えられたサイドウォールの幅よりも狭くして成ることを特徴としている。

素子におけるホットキャリアを防ぎ、かつPMOS半導体素子側では寄生抵抗と寄生容量とのバランスが取れたCMOS半導体素子とすることができ。

また、この出願の第2発明であるCMOS半導体装置の製造方法の構成によれば、半導体基板上にサイドウォール形成用の被着層を堆積させる。然る後、NMOS半導体素子にLDD構造を実現するに十分な幅を以って、被着層を異方性エッチング処理し、サイドウォールを形成する。さらに、これとは別工程としてPMOS半導体素子の上の被着層部分に、異方性エッチング特性と等方性エッチング特性との両方の特性を兼ね具えた複合エッチング処理、或いは等方性エッチング処理及び異方性エッチング処理を順次行なう複合エッチング処理によって、NMOS半導体素子に比べて狭い幅を有するサイドウォールを、当該幅を制御して形成することができる。

（実施例）

以下、図面を参照して、この発明のCMOS

半導体装置及びその製造方法の実施例につき説明する。尚、以下の説明においては、CMOS半導体装置の製造方法を説明することにより、CMOS半導体装置を説明することとする。

第1図(A)～(F)は、第2図(A)～(G)と同様に、CMOS半導体装置の製造工程を基板の概略的断面により示した製造工程図である。尚、図中、この発明の特徴となる構成成分を除き、第2図(A)～(G)で既に説明した各構成成分と同一の機能を有する構成成分については同一の符号を付して示し、レジストパターンについては斜線のように斜線を付して示すと共に、以下の説明の理解を容易とするため、各製造工程図で示した構成成分のうち、その工程で特徴となる構成成分以外は、その符号を省略して示す場合もある。さらに、従来の技術として第2図(A)～(G)を参照して説明した工程と重複する製造工程については、その一部を省略して説明するものとする。

まず始めに、第2図(A)及び(B)を用いて

次に、上述の n^+ 領域形成用レジストパターン53を除去した後、NMOS形成領域17に p^+ 領域形成用レジストパターン37を形成する。

然る後、当該レジストパターン37をマスクとして用い、等方性と異方性との両方の特性を同時に有する複合エッチング処理により、PMOS形成領域13に堆積された被着層29を、NMOS半導体素子側のサイドウォールの幅よりも狭い、任意好適な幅となるように、エッチングしてサイドウォール55を形成する(第1図(D))。この際に行なわれる制御とは、例えばNMOS半導体素子側のサイドウォールを形成した場合のエッチング時間、印加エネルギー及びその他の条件を同一とすれば、上述の複合エッチング処理を行なう際のエッチングガス組成において、等方性エッチング特性を示す化学種の占める割合を大きくすることにより達成できる。これによって、NMOS半導体素子側に配設されたサイドウォール31bの幅に比べて上述のサイドウォール55の幅を狭くすることができる。

既に説明したように、ウェル15、 p 層19a及び19b、及び酸化膜21を形成した後、ゲート電極23a或いは23b、及び n^+ 領域27を半導体基板11上に形成する。然る後、前述したような段差被覆特性に優れた方法により被着層29を堆積する(第1図(A))。

次に、第2図(E)で説明した工程と同様にして n^+ 領域形成用レジストパターン53をPMOS形成領域13に形成した後、前述したRIE法またはその他任意好適な方法により、上述の被着層29のNMOS形成領域17に対して異方性エッチング処理を行ない、NMOS半導体素子側のゲート電極23bの周囲にサイドウォール31bを形成する(第1図(B))。

続いて、ゲート電極23bと、上述の n^+ 領域形成用レジストパターン53及びサイドウォール31bと酸化膜21の厚い部分とをマスクとして、第2図(E)と同様な方法により n 型不純物イオン(矢印bで示す)を注入し、 n^+ 領域35を形成する(第1図(C))。

続いて、上述したPMOS形成領域13の被着層29に対する複合エッチング処理を行なった後、エッチング処理のマスクとして用いた p^+ 領域形成用レジストパターン37をイオン注入のマスクとして、第2図(E)で既に説明したように、 p 型不純物(矢印cで示す。)をイオン注入して p^+ 領域55を形成する(第1図(E))。

上述した工程によって形成される p^+ 層57は、ゲート電極23aと p^+ 領域形成用レジストパターン37とをマスクとして形成されるものである。従って、従来の技術として説明した p^+ 層39(第2図(F)参照)に比べて、サイドウォール55の幅を狭くした分だけ、 p 型不純物の被注入面積を多く取ることができる。

次に、上述の p^+ 領域形成用レジストパターン37を除去した後、従来の技術と同様にして、中間絶縁層41(図中、斜線で示す。)、コンタクトホール43及びオーミックコンタクト電極45を形成する。これによって、サイドウォール31bを配設することによってLDD構造を有するNMO

S半導体素子49と、当該NMOS半導体素子に配設されたサイドウォール31bに比して、幅の狭いサイドウォール55を配設したPMOS半導体素子59とを備えた、この出願の第1発明に係るCMOS半導体装置61が完成する(第1図(F))。

以上、この発明のCMOS半導体装置及びその製造方法に係る実施例につき説明したが、この発明は上述の実施例にのみ限定されるものでないこと明らかである。例えば、第1図(B)及び(C)で説明したNMOS半導体素子49に関するサイドウォール31bの形成工程と n^+ 領域35のイオン注入工程とは、第1図(D)及び(E)により説明したPMOS半導体素子59に関するサイドウォール55の形成工程と p^+ 領域57のイオン注入工程を入れ換えて行なっても、上述した実施例と同様の効果を得ることができる。

また、上述した実施例では、PMOS半導体装置59にサイドウォール55の幅を制御して形成する工程において、等方性と異方性との両方のエッチング特性を同時に有する複合エッチング

処理として説明した。しかしながら、この工程で行なわれる複合エッチング処理とは、これにのみ限定されるものではないこと明らかである。例えばプラズマエッチング法またはその他任意好適なエッチング法による等方性エッチング処理によって被着層29の膜厚を減少せしめた後、例えば従来周知のRIE法、イオンビームエッチング法またはその他任意好適なエッチング法による異方性エッチング処理を行なう構成の複合エッチング処理によっても上述の実施例同様の効果が期待できる。

以上詳細に説明したように、この出願の第2発明である、CMOS半導体装置の製造方法によれば、LDD構造を有するNMOS半導体素子49と、安定な p^+ 領域57とを有するPMOS半導体素子59とを備えることにより、優れたCMOS半導体装置61を実現することができる。

また、この発明に係るCMOS半導体装置とその製造方法は、例えば各構成成分の膜厚、リフロー及びアニールといった高温処理及びその他の

条件は、この発明の目的の範囲内で設計に応じた任意好適な条件として実施することができ、さらに、例えばバイポーラトランジスタとCMOS半導体装置とを混載させた、所謂、ハイ-CMOS半導体装置にも適用し得ること明らかである。

(発明の効果)

上述した説明から明らかなように、この出願の第1発明であるCMOS半導体装置によれば、NMOS半導体素子にサイドウォールを形成してLDD構造を配設するに当り、PMOS半導体素子のサイドウォールが有する幅を制御し、NMOS半導体素子のサイドウォールの幅と比較して狭くなる構成となっている。従って、この発明のCMOS半導体装置によれば、消費電力が低く、かつスイッチ速度が速い優れた電子機器を実現することができる。

また、この出願の第2発明であるCMOS半導体装置の製造方法によれば、従来の製造方法に比べて、ホトリソエッチング工程を複雑にする

ことなく、優れた特性を有する超微細化が可能なCMOS半導体装置を歩留り良く製造することができる。

4.図面の簡単な説明

第1図(A)～(F)は、この発明のCMOS半導体装置と、CMOS半導体装置の製造方法の実施例を説明するための製造工程図、

第2図(A)～(G)は、従来のCMOS半導体装置とその製造方法との説明に供する製造工程図である。

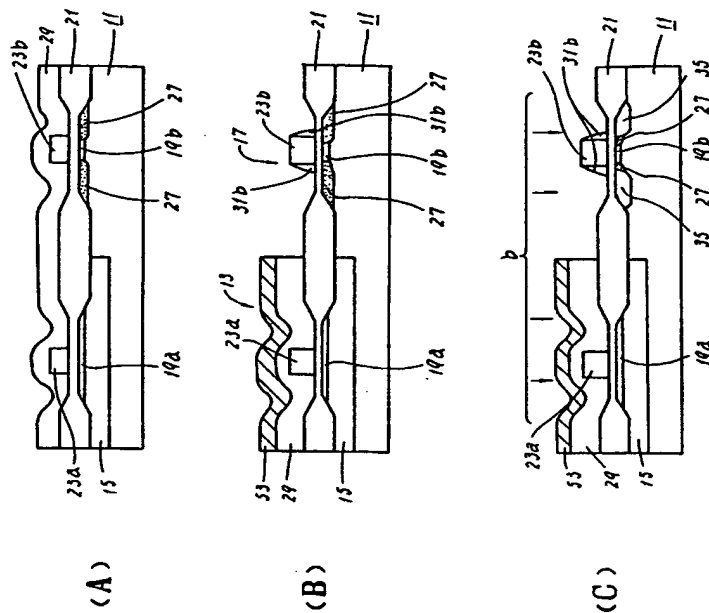
- 11……半導体基板、13……PMOS形成領域
- 15……ウエル、17……NMOS形成領域
- 19a, 19b…… p 層、21……酸化膜
- 23a, 23b……ゲート電極
- 25…… n^- 領域形成用レジストパターン
- 27…… n^- 領域、29……被着層
- 31a, 31b, 55……サイドウォール

- 33, 53.....n⁺領域形成用レジストパターン
 35.....n⁺領域
 37.....p⁺領域形成用レジストパターン
 39, 57.....p⁺領域、41.....中間絶縁層
 43.....コンタクトホール
 45.....オーミックコンタクト電極
 47, 59.....PMOS半導体素子
 49.....NMOS半導体素子
 51, 61.....CMOS半導体装置
 a, b.....n型不純物イオン
 c.....p型不純物イオン。

特 許 出 願 人 沖電気工業株式会社

代理人 弁理士

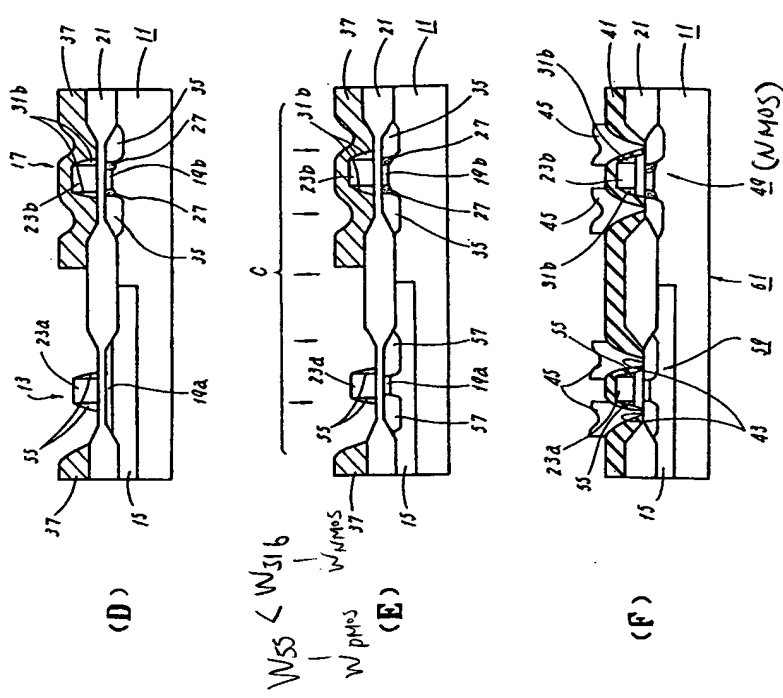
大 垣 孝



- 11: 半導体基板 13: PMOS形成領域
 15: ウエル 17: NMOS形成領域
 19a, 19b: p層 23a, 23b: ゲート電極
 27: n⁺領域 29: 絶縁層
 31b: サイドウォール 35: n⁺領域
 53: n⁺領域形成用レジストパターン b: n型不純物イオン

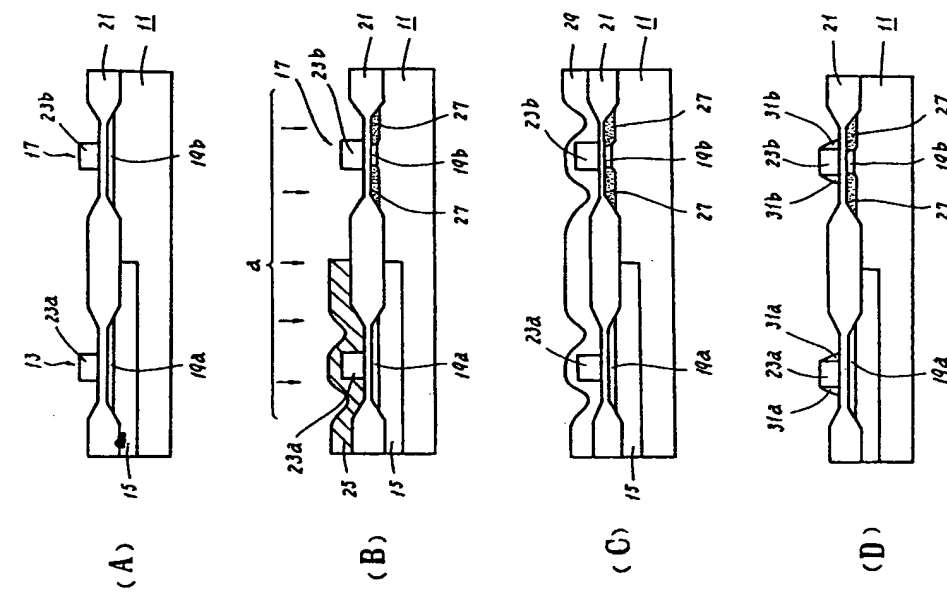
実施例の説明に供する製造工程図

第 1 図



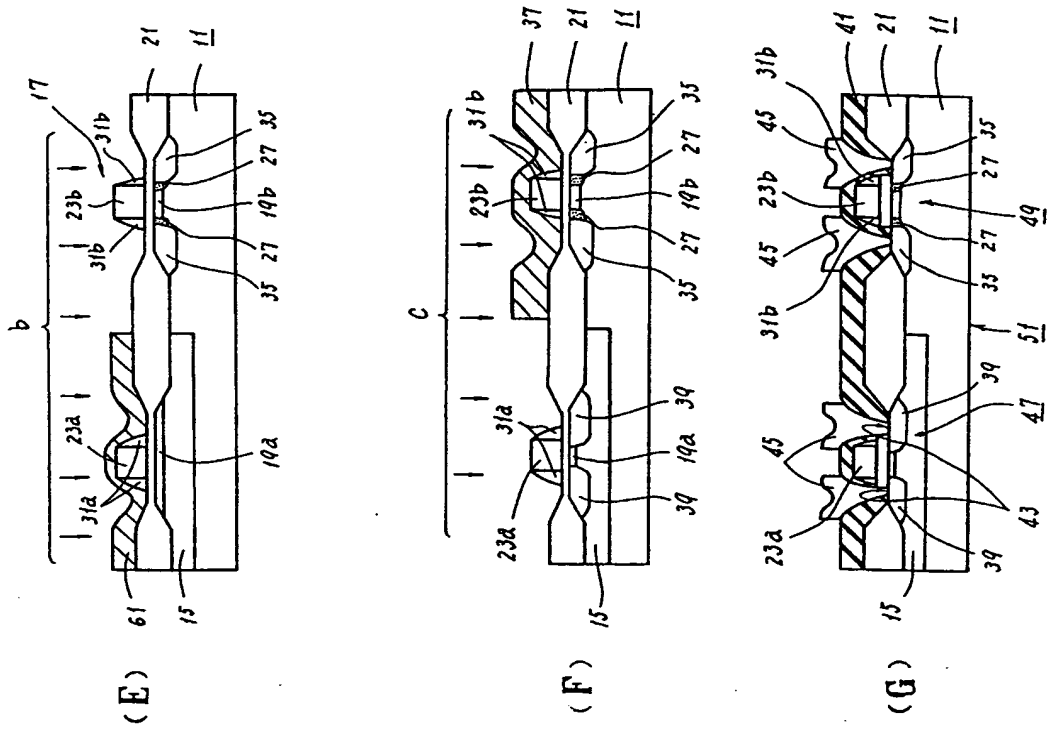
実施例の説明に供する製造工程図

第1図



従来の製造工程図

第2図



従来の製造工程図

第 2 図